**北京科技大学数字逻辑实验报告**

学院： 计算机与通信工程学院 专业： 物联网工程 班级： 物联201

姓名： 赵方程 学号： 42024137 实验日期： 2021年 12 月 13 日

**实验名称：**实验四 状态机实验

**1、实验目的：**

本实验的目的是学习Moore型和Mealy型状态机的设计、状态机的编写以及在数字系统设计中的应用。

**2、实验内容：**

1. **实验4.1——设计Mealy状态机验证1101序列**：按照“5 Demo实验步骤——验证1101序列（Mealy型）”完成状态机的设计与仿真验证；
2. **实验4.2——设计Moore状态机验证1101序列**：按照“6 Demo实验步骤——验证1101序列（Moore型）”完成状态机的设计与仿真验证；
3. **实验4.3——验证10001序列**：修改源文件和仿真文件，**任选一种状态机**以检测序列10001，并进行仿真，验证设计的正确性。

**3、实验4.3系统设计**

（1）系统输入输出信号定义

input wire clk, // 时钟信号

    input wire clr, // 清零信号

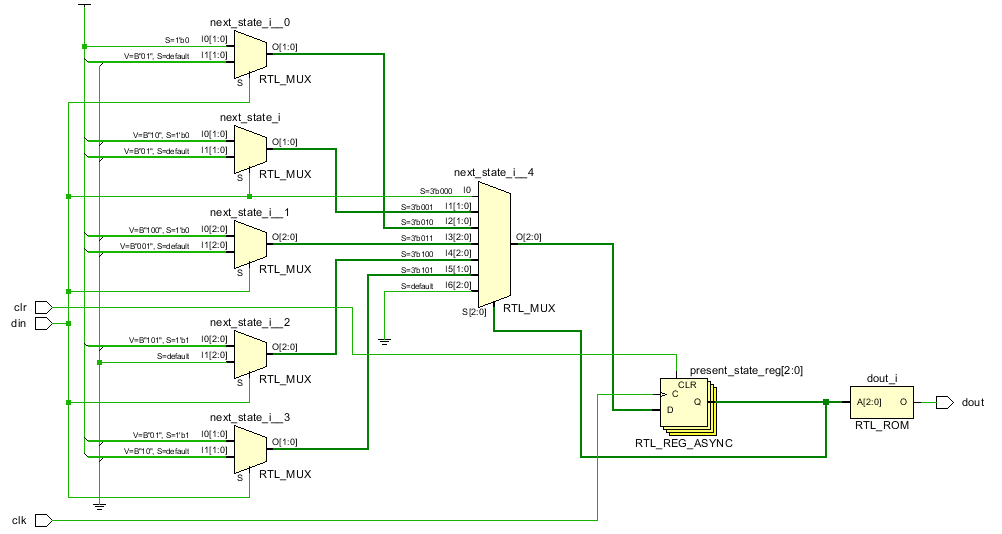
    input wire din, // 输入信号

    output reg dout // 输出信号

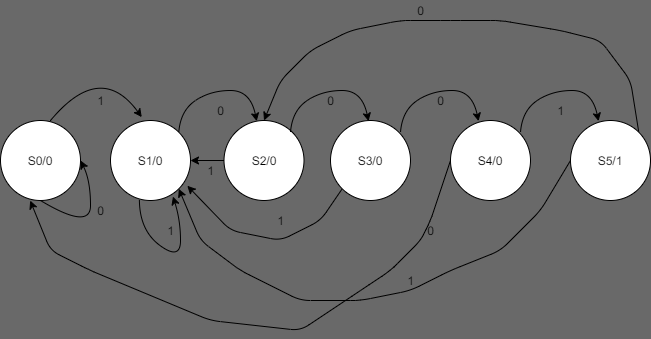
（2）系统行为描述

Moore 状态机：任意序列输入10001时，输出为1.

（3）系统级电路结构设计图

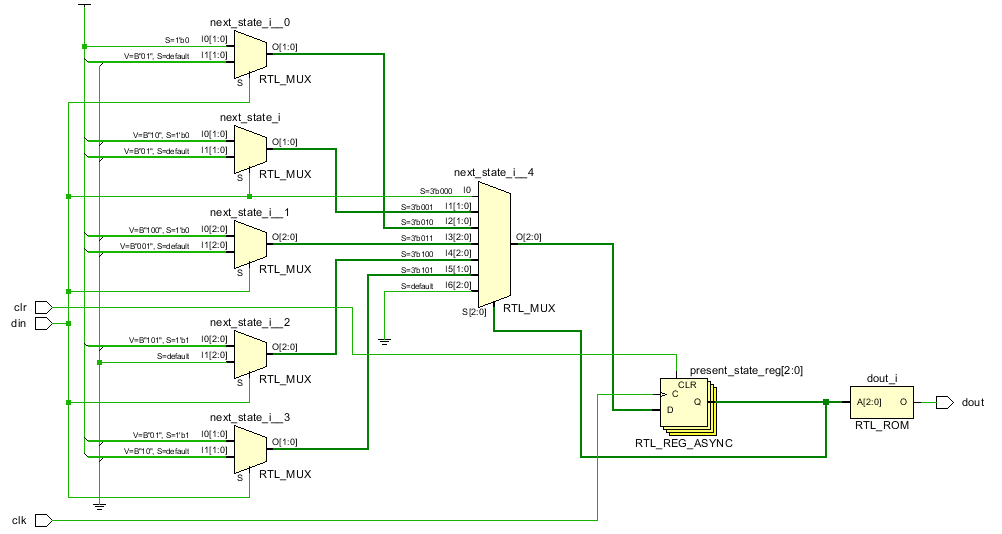


（4）状态机设计

****

**4、实验4.3实现**

（1）序列检测模块RTL电路结构图及说明



**5、实验4.3仿真验证**

（1）模块级仿真

测试方案设计说明

根据状态转换图，设计din输入，遍历状态机的各个状态。

initial begin  //10001

        #40 din = 0; //s0

        #40 din = 0; //s0

        #40 din = 1; //s1

        #40 din = 1; //s1

        #40 din = 0; //s2

        #40 din = 1; //s1

        #40 din = 0; //s2

        #40 din = 0; //s3

        #40 din = 1; //s1

        #40 din = 0; //s2

        #40 din = 0; //s3

        #40 din = 0; //s4

        #40 din = 0; //s0

        #40 din = 1; //s1

        #40 din = 0; //s2

        #40 din = 0; //s3

        #40 din = 0; //s4

        #40 din = 1; //s5

        #40 din = 0; //s2

        #40 din = 0; //S3

        #40 din = 0; //s4

        #40 din = 1; //s5

        #40 din = 1; //s1

        #40 din = 0; //s2

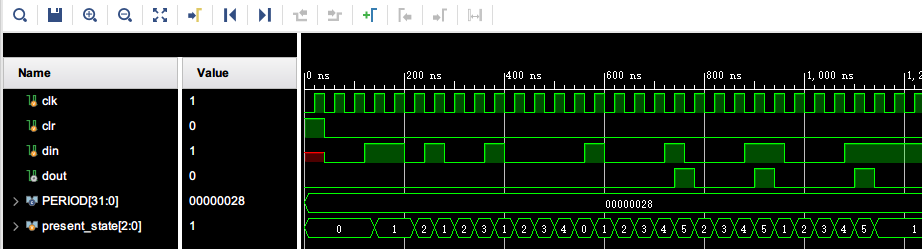
        #40 din = 0; //S3

        #40 din = 0; //s4

        #40 din = 1; //s5

end

仿真结果及说明



**6、实验中遇到的问题、现象及解决方法**

问题1：

状态机设计错误，当当前状态与输入为S5，din==0 时，下一个状态应该为S2，错误设计成了 next\_state = S0

现象：test Bench设计错误

问题原因：

状态机设计错误

解决方法：

重新设计状态机，

**7、本次实验心得体会**

更加深入理解了状态机模型与设计状态转换的方法，了解了验证状态的方法。